[那些让PCB工程师们头疼的EMC设计问题，这里有答案！ - 知乎 (zhihu.com)](https://zhuanlan.zhihu.com/p/146603831) 推荐直接看源文

**PCB设计如何尽可能的达到EMC要求，又不会造成太大的成本压力？**

PCB 板上会因EMC而增加的成本，通常是因增加地层数目以增强屏蔽效应及增加了铁氧体磁珠，扼流圈等抑制高频谐波器件的缘故。除此之外，通常还是需搭配其它机构上的屏蔽结构才能使整个系统通过EMC的要求。以下仅就PCB板的设计提供几个降低电路产生电磁辐射效应的技巧：

1、尽可能选用信号斜率较慢的器件，以降低信号所产生的高频成分。注意高频器件摆放的位置，不要太靠近对外的连接器。

2、注意高速信号的阻抗匹配，走线层及其回流电流路径，以减少高频的反射与辐射。

3、在各器件的电源管脚放置足够且适当的去耦合电容以缓和电源层和地层上的噪声。特别注意电容的频率响应与温度的特性是否符合设计所需。

4、对外的连接器附近的地可与地层做适当分割，并将连接器的地就近接到底盘地面。

5、可适当运用地面防护/分流痕迹在一些特别高速的信号旁，但要注意其对走线特性阻抗的影响。

6、电源层比地层内缩20H，H为电源层与地层之间的距离。

**PCB设计中提高电磁兼容性能的电路措施有哪些？**

1、可用在PCB走线上串接一个电阻的办法，降低控制信号线上下沿跳变速率。

2、尽量为继电器等提供某种形式的阻尼（高频电容、反向二极管等）。

3、对进入印制板的信号要加滤波，从高噪声区到低噪声区的信号也要加滤波，同时用串终端电阻的办法，减少信号反射。

4、MCU无用端，要通过相应的匹配电阻接电源。或接地或定义成输出端，集成电路上该接电源、地的端都要接，不要悬空。

5、闲置不用的门电路输入端，不要悬空，而是通过相应的匹配电阻接电源或接地。闲置不用的运放正输入端接地，负输入端接输出端。

6、为每个集成电路设一个高频去耦电容，每个电解电容边上都要加一个小的高频旁路电容。

7、用大容量的钽电容或聚酯电容而不用电解电容作为电路板上的充放电储能电容。使用管状电容时，外壳要接地。

**怎样通过安排叠层来减少EMI问题？**

首先，EMI要从系统考虑，单凭PCB无法解决问题。叠层对EMI来说，主要是提供信号最短回流路径、减小耦合面积和抑制差模干扰。另外地层与电源层紧密耦合，适当比电源层外延，对抑制共模干扰有好处。

**电磁干扰抑制用的磁芯与传统上用做电感的磁芯有什么不同？如果两者用错，会发生什么现象？**

传统上用做电感磁芯的材料具有很小的损耗，用这种磁芯做成的电感损耗很小。而电磁干扰抑制用的磁芯损耗很大，用这种磁芯制作的电感具有很大的损耗，其特性更接近电阻。如果两者用错，均达不到预期的目的。如果将电磁干扰抑制用的磁芯用在普通电感上，电感的Q值会很低，会使谐振电路达不到要求，或对需要传输的信号损耗过大。如果将普通制作电感用的磁芯用在电磁干扰抑制的场合，则由于电感与电路中的寄生电容会发生谐振，可能使某个频率上的干扰增强。

**知识扩展：PCB EMC设计布局布线经验**

**1、整体布局**

1）高速、中速、低速电路要分开；

2）强电流、高电压、强辐射元器件远离弱电流、低电压、敏感元器件；

3）模拟、数字、电源、保护电路要分开；

4）多层板设计，有单独的电源和地平面；

5）对热敏感的元器件（含液态介质电容、晶振）尽量远离大功率元器件、散热器等热源。

**2、整体布线**

1）关键信号线走线避免跨分割；

2）关键信号线走线避免“U”型或“O”型；

3）关键信号线走线是否人为绕长；

4）关键信号线是否距离边沿和接口400mil以上；

5）相同功能的总线要并行走，中间不要夹叉其它信号；

6）晶振下面是否走线；

7）开关电源下面是否走线；

8）接收和发送信号要分开走，不能互相夹叉。

（图文内容整理自网络）